

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年1月27日 (27.01.2005)

PCT

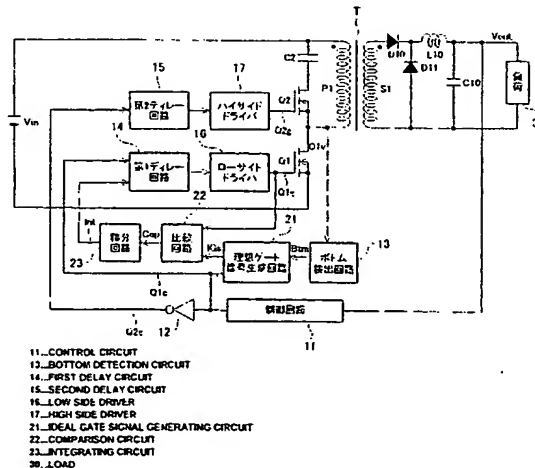
(10) 国際公開番号
WO 2005/008871 A1

- (51) 国際特許分類⁷: H02M 3/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/007903 (75) 発明者/出願人 (米国についてののみ): 麻生 真司 (ASO, Shinji) [JP/JP].
(22) 国際出願日: 2004年6月1日 (01.06.2004) (74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001
(25) 国際出願の言語: 日本語 東京都港区虎ノ門1丁目2番3号虎ノ門第一ビル
(26) 国際公開の言語: 日本語 9階 Tokyo (JP).
(30) 優先権データ: 特願2003-197699 2003年7月16日 (16.07.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
(71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).

(続葉有)

(54) Title: DC CONVERTER

(54) 発明の名称: 直流変換装置



(57) Abstract: A DC converter in which instability of operation due to error of a bottom detection circuit or unsettled detection point by disturbance is improved. The DC converter comprises the bottom detection circuit (13) for detecting the minimum voltage of a main switch Q1 after an auxiliary switch Q2 is turned off, a circuit (21) generating an ideal gate signal for turning on the main switch Q1 at the time when it has the minimum voltage based on the output from the bottom detection circuit (13), a comparison circuit (22) for calculating the error output between the ideal gate signal generated from the ideal gate signal generating circuit (21) and an actual gate signal when the main switch Q1 is turned on, and a first delay circuit (14) for bringing the actual gate signal close to the ideal gate signal through on-time delay control of the main switch Q1 by the actual gate signal based on the error output from the comparison circuit (22).

(57) 要約: ボトム検出回路の誤差や外乱による検出点の乱れによる動作の不安定な点を改善する直流変換装置を提供する。補助スイッチQ2がオフした後に主スイッチQ1の最小電圧を検出するボトム検出回路13と、ボトム検出回路13の出力に基づき主スイッチQ1の最小電圧の時刻で主スイッチQ1をオンさせる理想ゲート信号を生成する理想ゲート信号生成回路21と、理想ゲート信号生成回路21で生成された理想ゲート信号と主スイッチQ1をオンさせた実際のゲート信号との誤差出力を算出する比較回路22と、比較回路22の誤差出力に基づき実際のゲート信号による主スイッチQ1のオン時刻を遅延制御することにより実際のゲート信号を理想ゲート信号に

(続葉有)

BEST AVAILABLE COPY

WO 2005/008871 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

直流変換装置

5

技術分野

本発明は、高効率、低ノイズな直流変換装置に関するものである。

背景技術

図1に従来の直流変換装置の一例を示す(特開2000-92829号公報)。図1
10 に示す直流変換装置は、アクティブクランプ方式と呼ばれるもので、直流電源 V_{in}
にトランスTの1次巻線P1(巻数 n_1)を介してMOSFET(以下、FETと称
する。)等からなる主スイッチQ1が接続され、1次巻線P1の両端には、MOSFE
T(以下、FETと称する。)等からなる補助スイッチQ2とスナバコンデンサC2と
からなる直列回路が接続されている。主スイッチQ1及び補助スイッチQ2は、制御
15 回路111のPWM制御により交互にオン/オフするようになっている。

また、トランスTの1次巻線P1とトランスTの2次巻線S1とは互いに同相電圧
が発生するように巻回されており、トランスTの2次巻線S1(巻数 n_2)には、ダ
イオードD10、D11とリアクトルL10とコンデンサC10とからなる整流平滑
回路が接続されている。この整流平滑回路は、トランスTの2次巻線S1に誘起され
20 た電圧(オン/オフ制御されたパルス電圧)を整流平滑して直流出力を負荷30に出
力する。

制御回路111は、負荷30の出力電圧に基づき、主スイッチQ1をオン/オフ制
御するためのパルスからなる制御信号を生成するとともに、出力電圧が所定の電圧と
なるようにその制御信号のデューティ比を制御する。さらに、直流変換装置は、イン
25 バータ112、ボトム検出回路113、第1ディレー回路114、第2ディレー回路
115、ローサイドドライバ116、ハイサイドドライバ117を備えている。

インバータ 112 は、制御回路 111 からの主スイッチ Q1 用の Q1 制御信号 Q1c を反転して第 2 ディレー回路 115 に出力する。ボトム検出回路 113 は、補助スイッチ Q2 がオフした後に主スイッチ Q1 の最小電圧（以下、ボトム検出信号 Btm と称する。）を検出する。第 1 ディレー回路 114 は、制御回路 111 からの Q1 制御信号 Q1c の立上りタイミングをボトム検出回路 113 からのボトム検出信号 Btm の立下りタイミングまで遅延させた Q1 ゲート信号 Q1g を生成してローサイドドライバ 116 に出力する。ローサイドドライバ 116 は、第 1 ディレー回路 114 からの Q1 ゲート信号 Q1g を主スイッチ Q1 のゲートに印加して主スイッチ Q1 を駆動する。第 2 ディレー回路 115 は、インバータ 112 で反転した補助スイッチ Q2 用の Q2 制御信号 Q2c の立上りタイミングを所定時間だけ遅延させた Q2 ゲート信号 Q2g を生成してハイサイドドライバ 117 に出力する。ハイサイドドライバ 117 は、第 2 ディレー回路 115 からの Q2 ゲート信号 Q2g を補助スイッチ Q2 のゲートに印加して補助スイッチ Q2 を駆動する。

次に、このように構成された直流変換装置の動作を図 2 に示すタイミングチャートを参照しながら説明する。なお、図 2 では、主スイッチ Q1 の両端間の電圧 Q1v を示している。

まず、時刻 t31 において、制御回路 111 からの Q1 制御信号 Q1c が H レベルになると、Q2 制御信号 Q2c が L レベルになる。このため、Q2 ゲート信号 Q2g が L レベルになるため、補助スイッチ Q2 がオフする。また、ボトム検出信号 Btm が時刻 t31 において H レベルとなる。

そして、補助スイッチ Q2 がオフすると、主スイッチ Q1 の電圧 Q1v が減少していく。時刻 32 において、ボトム検出回路 113 により電圧 Q1v の最小値（ボトム）が検出される。このとき、ボトム検出回路 113 からのボトム検出信号 Btm は L レベルになる。

そして、ボトム検出回路 113 からのボトム検出信号 Btm の立下りタイミング（時刻 32）で H レベルになる Q1 ゲート信号 Q1g が、第 1 ディレー回路 114 により

生成され、Q1ゲート信号Q1gがローサイドドライバ116を介して主スイッチQ1のゲートに印加されるため、主スイッチQ1がオンする。即ち、主スイッチQ1のボトム電圧スイッチ又はゼロボルトスイッチが達成できる。

主スイッチQ1がオンすると、直流電源VinからトランスTの1次巻線P1を介して主スイッチQ1に電流が流れる。このとき、S1' D10' L10' C10' S1と電流が流れる。

次に、時刻t33において、Q1制御信号Q1cにより、主スイッチQ1をオフさせると、トランスTの1次巻線P1と、トランスTの1次及び2次巻線間のリーケージインダクタンスに蓄えられたエネルギーにより主スイッチQ1に有する寄生コンデンサ（図示せず）が充電され電圧共振が形成されて、主スイッチQ1の電圧Q1vが時刻t33～時刻t34まで上昇する。また、L10' C10' D11' L10で電流が流れて、負荷R30に電流を供給する。

そして、時刻t34において、Q2ゲート信号Q2gにより、補助スイッチQ2をオンさせると、トランスTの1次巻線P1に蓄えられたエネルギーがコンデンサC2に供給され、コンデンサC2が充電されていく。次に、コンデンサC2に蓄えられたエネルギーは、C2' Q2' P1' C2に流れる。

なお、従来の直流変換装置の関連技術文献として、例えば特開平7-203688号公報がある。

20 発明の開示

このように、従来の直流変換装置にあっては、補助スイッチQ2がオフした後に主スイッチQ1の電圧の最小値をボトム検出回路113により検出し、ボトム検出信号Btmの立下りタイミングでQ1ゲート信号Q1gがHレベルとなるように、主スイッチQ1のオンディレーを制御している。このため、ボトム検出回路113の検出誤差や外乱による検出点の乱れにより、主スイッチQ1のディレー時間が変化した場合、主スイッチQ1のQ1ゲート信号Q1gが変化するため、動作が非常に不安定となる。

また、ボトム検出から、主スイッチQ1がオンするまでの遅れがあると、主スイッチQ1のオンはボトムより遅れてしまうため、ボトム検出から主スイッチQ1をオンさせるまでの遅れが小さくなるような回路を構成する必要があった。このため、主スイッチQ1を高速でオンさせる必要があり、スイッチングノイズが大きくなる等の欠点があった。

本発明は、ボトム検出回路の誤差や外乱による検出点の乱れによる動作の不安定な点を改善するとともに、ボトム検出から主スイッチをオンさせるまでの遅れの影響をなくすことができ、スイッチングノイズを低減できる直流変換装置を提供することにある。

10 本発明は前記課題を解決するために以下の構成とした。請求項1の発明は、トランスの1次巻線に直列に接続された主スイッチとトランスの1次巻線の両端又は主スイッチの両端に接続され且つコンデンサ及び補助スイッチからなる直列回路の補助スイッチとを交互にオン／オフさせることによりトランスの2次巻線の電圧を整流平滑して直流出力を得る直流変換装置であって、前記補助スイッチがオフした後に前記主スイッチの最小電圧を検出するボトム検出手段と、このボトム検出手段の出力に基づき
15 前記主スイッチの最小電圧の時刻で前記主スイッチをオンさせる理想制御信号を生成する制御信号生成手段と、この制御信号生成手段で生成された前記理想制御信号と前記主スイッチをオンさせた実際の制御信号との誤差出力を算出する誤差算出手段と、この誤差算出手段の誤差出力に基づき前記実際の制御信号による前記主スイッチのオン時刻を遅延制御することにより前記実際の制御信号を前記理想制御信号に近づける
20 ように制御する遅延制御手段とを備えることを特徴とする。

請求項2の発明は、トランスの1次巻線に直列に接続された主スイッチをオン／オフさせることによりトランスの2次巻線の電圧を整流平滑して直流出力を得る直流変換装置であって、前記主スイッチの電圧が減少していくときの前記主スイッチの最小
25 電圧を検出するボトム検出手段と、このボトム検出手段の出力に基づき前記主スイッチの最小電圧の時刻で前記主スイッチをオンさせる理想制御信号を生成する制御信号

- 生成手段と、この制御信号生成手段で生成された前記理想制御信号と前記主スイッチをオンさせた実際の制御信号との誤差出力を算出する誤差算出手段と、この誤差算出手段の誤差出力に基づき前記実際の制御信号による前記主スイッチのオン時刻を遅延制御することにより前記実際の制御信号を前記理想制御信号に近づけるように制御する遅延制御手段とを備えることを特徴とする。
- 5

請求項3の発明は、請求項1又は請求項2記載の直流変換装置において、前記誤差算出手段の誤差出力を積分する積分手段を有し、前記遅延制御手段は、前記積分手段の積分出力に基づき前記実際の制御信号のオン時刻を遅延制御することにより前記実際の制御信号を前記理想制御信号に近づけるように制御することを特徴とする。

- 10 請求項4の発明では、請求項3記載の直流変換装置において、前記遅延制御手段は、抵抗に直列に接続された遅延用コンデンサの充電時間により、制御手段からの前記主スイッチをオンさせる信号を所定時間だけ遅延させる遅延部と、前記積分手段の積分出力と基準電圧との差電圧を前記遅延用コンデンサに印加することにより、前記差電圧に応じて前記所定の遅延時間を短くさせる可変遅延部とを有し、前記遅延用コンデンサの電圧に基づき前記実際の制御信号を前記主スイッチの制御端子に印加すること
- 15
- を特徴とする。

- 請求項5の発明は、請求項1乃至請求項4のいずれか1項記載の直流変換装置において、前記トランスの1次巻線と前記主スイッチとからなる直列回路の両端には、直流電源又は交流電源の交流電圧を整流して整流電圧を得る整流電圧部が接続されていることを特徴とする。
- 20

図面の簡単な説明

図1は、従来の直流変換装置の一例を示す回路図である。

図2は、従来の直流変換装置の各部の信号のタイミングチャートである。

- 25 図3は、第1の実施の形態に係る直流変換装置を示す回路構成図である。

図4は、第1の実施の形態に係る直流変換装置における理想ゲート信号と実際のゲ

ート信号との誤差がなくなった定常時の各部の信号のタイミングチャートである。

図 5 は、第 1 の実施の形態に係る直流変換装置における理想ゲート信号と実際のゲート信号との誤差により実際のゲート信号が理想ゲート信号に近づく過渡状態時の各部の信号のタイミングチャートである。

5 図 6 は、第 2 の実施の形態に係る直流変換装置を示す回路構成図である。

図 7 は、第 2 の実施の形態に係る直流変換装置内の理想ゲート信号生成回路である D 型フリップフロップの真理値表を示す図である。

図 8 は、第 3 の実施の形態に係る直流変換装置を示す回路構成図である。

図 9 は、第 3 の実施の形態に係る直流変換装置における理想ゲート信号と実際のゲート信号との誤差により実際のゲート信号が理想ゲート信号に近づく過渡状態時の各部の信号のタイミングチャートである。

発明を実施するための最良の形態

以下、本発明に係る直流変換装置の実施の形態を図面を参照して詳細に説明する。

15 (第 1 の実施の形態)

図 3 は第 1 の実施の形態に係る直流変換装置の回路構成図である。図 3 に示す直流変換装置において、主スイッチ Q 1 及び補助スイッチ Q 2 は、制御回路 11 の PWM 制御により交互にオン／オフするようになっている。制御回路 11 は、負荷 30 の出力電圧に基づき、主スイッチ Q 1 をオン／オフ制御するためのパルスからなる制御信号を生成するとともに、出力電圧が所定の電圧となるようにその制御信号のデューティ比を制御する。

さらに、直流変換装置は、インバータ 12、ボトム検出回路 13、第 1 ディレー回路 14、第 2 ディレー回路 15、ローサイドドライバ 16、ハイサイドドライバ 17、理想ゲート信号生成回路 21、比較回路 22、積分回路 23 を備えている。

25 インバータ 12 は、制御回路 11 からの主スイッチ Q 1 用の Q 1 制御信号 Q 1c を反転して第 2 ディレー回路 15 に出力する。ボトム検出回路 13 は、補助スイッチ Q 2

がオフした後に主スイッチQ1の最小電圧（以下、ボトム検出信号Btmと称する。）を検出する。理想ゲート信号生成回路21は、ボトム検出回路13からのボトム検出信号Btmと制御回路11からのQ1制御信号Q1cとに基づき理想ゲート信号IGsを生成する。

- 5 比較回路22は、理想ゲート信号生成回路21からの理想ゲート信号IGsと主スイッチQ1をドライブするための実際のQ1ゲート信号Q1gとを比較して理想ゲート信号IGsと実際のQ1ゲート信号Q1gとの誤差出力Copを算出する。積分回路23は、比較回路22からの誤差出力Copを積分して積分出力Intを出力する。

- 第1ディレー回路14は、本発明の遅延制御手段に対応し、積分回路23の積分出力Intと制御回路11のQ1制御信号Q1cとを入力し、積分回路23からの積分出力Intの値に応じて、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間を短くするように制御する。即ち、第1ディレー回路14は、実際のQ1ゲート信号Q1gの立ち上がり時刻（オン時刻）を遅延制御することにより実際のQ1ゲート信号Q1gを理想ゲート信号IGsに近づけるように制御する。

- ローサイドドライバ16は、第1ディレー回路14からのQ1ゲート信号Q1gを主スイッチQ1のゲートに印加して主スイッチQ1を駆動する。第2ディレー回路15は、インバータ12で反転した補助スイッチQ2用のQ2制御信号Q2cの立上りタイミングを所定時間だけ遅延させたQ2ゲート信号Q2gを生成してハイサイドドライバ17に出力する。ハイサイドドライバ17は、第2ディレー回路15からのQ2ゲート信号Q2gを補助スイッチQ2のゲートに印加して補助スイッチQ2を駆動する。

なお、図3において、図1に示す構成部分と同一部分は同一符号を付し、その説明は省略する。

- 25 次に、このように構成された直流変換装置の動作を図4及び図5に示すタイミングチャートを参照しながら説明する。図4は第1の実施の形態に係る直流変換装置にお

ける理想ゲート信号と実際のゲート信号との誤差がなくなった定常時の各部の信号のタイミングチャートである。図5は第1の実施の形態に係る直流変換装置における理想ゲート信号と実際のゲート信号との誤差により実際のゲート信号が理想ゲート信号に近づく過渡状態時の各部の信号のタイミングチャートである。なお、図4及び図5
5 では、主スイッチQ1の両端間の電圧Q1vを示している。

まず、時刻t1において、制御回路11からのQ1制御信号Q1cがHレベルになると、Q2制御信号Q2cがLレベルになる。このため、Q2ゲート信号Q2gがLレベルになるため、補助スイッチQ2がオフする。また、ボトム検出信号Btmが時刻t1においてHレベルとなる。

10 そして、補助スイッチQ2がオフすると、主スイッチQ1の電圧Q1vが減少していく。時刻t2において、ボトム検出回路13により電圧Q1vの最小値（ボトム）が検出される。このとき、ボトム検出回路13からのボトム検出信号BtmはLレベルになる。

そして、ボトム検出回路13からのボトム検出信号Btmの立下り時刻t2でHレベルとなる理想ゲート信号IGsが、理想ゲート信号生成回路21により生成される。
15 さらに、比較回路22により、理想ゲート信号IGsと実際のQ1ゲート信号Q1gとの誤差出力Copが算出される。即ち、誤差出力Copは、図5に示すように、理想ゲート信号IGsの立上り時刻（例えば、時刻t2）と実際のQ1ゲート信号Q1gの立上り時刻（例えば、時刻t21）までのパルス幅を持つパルスからなる。

20 さらに、比較回路22からの誤差出力Copは、積分回路23により積分されるため、積分出力Intは、誤差出力Copの大きさに正比例した値となる。次に、第1ディレー回路14は、積分回路23からの積分出力Intの値に応じて、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間を短くするように制御する。例えば、時刻t2～時刻t21では、積分出力Intが比較的大きいので、Q1制御信号Q1cの立上り時刻t1からQ1ゲート信号Q1gの立上り時刻t21までの遅延時間DT1を短くするように制御するので、次の周期のタイ
25

ミングでは、Q1制御信号Q1cの立上り時刻t5からQ1ゲート信号Q1gの立上り時刻t61までの遅延時間DT2となる。

さらに、その次のタイミングでは、Q1制御信号Q1cの立上り時刻t9からQ1ゲート信号Q1gの立上り時刻t101までの遅延時間DT3となる。即ち、実際のQ1ゲート信号Q1gの立ち上がり時刻（オン時刻）を遅延制御することにより実際のQ1ゲート信号Q1gが理想ゲート信号IGsに近づけるようになる。また、実際のQ1ゲート信号Q1gと理想ゲート信号IGsとの差がなくなった場合には、図4に示すようなタイミングチャートになる。

次に、時刻t21において、Q1ゲート信号Q1gがローサイドドライバ16を介して主スイッチQ1のゲートに印加されるため、主スイッチQ1がオンする。即ち、主スイッチQ1のボトム電圧スイッチ又はゼロボルトスイッチが達成できる。

主スイッチQ1がオンすると、直流電源VinからトランスTの1次巻線P1を介して主スイッチQ1に電流が流れる。このとき、S1'、D10'、L10'、C10'、S1と電流が流れる。

次に、時刻t3において、Q1制御信号Q1cにより、主スイッチQ1をオフさせると、トランスTの1次巻線P1と、トランスTの1次2次巻線間のリーケージインダクタンスに蓄えられたエネルギーにより主スイッチQ1に有する寄生コンデンサ（図示せず）が充電され電圧共振が形成されて、主スイッチQ1の電圧Q1vが時刻t3～時刻t4まで上昇する。また、L10'、C10'、D11'、L10で電流が流れて、負荷R30に電流を供給する。

また、インバータ12で反転した補助スイッチQ2用のQ2制御信号Q2cの立上り時刻を所定時間だけ遅延させたQ2ゲート信号Q2gが、第2ディレー回路15により生成される。Q2ゲート信号Q2gは、時刻t4において、ハイサイドドライバ17を介して補助スイッチQ2のゲートに印加されて、補助スイッチQ2をオンさせる。このため、トランスTの1次巻線P1に蓄えられたエネルギーがコンデンサC2に供給され、コンデンサC2が充電されていく。次に、コンデンサC2に蓄えられた

エネルギーは、C 2' Q 2' P 1' C 2に流れる。

このように、第1の実施の形態に係る直流変換装置によれば、実際のQ 1ゲート信号Q 1 gと理想ゲート信号I G sの誤差を積分し、実際のQ 1ゲート信号Q 1 gを理想ゲート信号I G sに近づけるように制御を行うことにより、ボトム検出回路1 3の
5 誤差や外乱による検出点の乱れによる動作の不安定な点を改善し、安定な動作を得ることができる。また、ボトム検出からQ 1ゲート信号Q 1 gを生成するまでの遅れの影響をなくすることができるので、主スイッチQ 1を高速でオンさせる必要がなく、スイッチングノイズを低減できる。

10 (第2の実施の形態)

図6は第2の実施の形態に係る直流変換装置の回路構成図である。図6に示す第2の実施の形態に係る直流変換装置は、第1の実施の形態に係る直流変換装置の具体的な回路例である。

図6に示すボトム検出回路1 3において、トランジスタQ 3のベースには、ダイオードD 1のカソードと抵抗R 1の一端と抵抗R 1 0の一端とが接続され、トランジスタQ 3のエミッタはダイオードD 1のアノードに接続されると共に接地されている。
15 トランジスタQ 3のコレクタには抵抗R 2の一端が接続され、抵抗R 1の他端及び抵抗R 2の他端は、電源V c cに接続されている。抵抗R 1 0の他端は、コンデンサC 1を介して主スイッチQ 1のドレインに接続されている。

20 理想ゲート信号生成回路2 1は、インバータ2 1 1と、インバータ2 1 2と、D型フリップフロップ(D F F) 2 1 3とを有している。インバータ2 1 1は、トランジスタQ 3のコレクタからのボトム検出信号B t mを反転してD F F 2 1 3のクロック端子C Lに出力する。インバータ2 1 2は、制御回路1 1からのQ 1制御信号Q 1 cを反転してD F F 2 1 3のリセット端子Rに出力する。D F F 2 1 3の端子Dには制
25 御回路1 1からのQ 1制御信号Q 1 cが入力され、セット端子Sは接地されている。端子QからのD F F出力は理想ゲート信号I G sとして比較回路2 2に出力される。

DF F 2 1 3の真理値表を図7に示す。

比較回路22は、排他的論理和(XOR)221からなり、このXOR221は、DF F 2 1 3からのDF F出力と主スイッチQ1に印加される実際のQ1ゲート信号Q1gとの排他的論理和をとり、そのXOR出力を誤差出力C o pとして積分回路23に出力する。

積分回路23は、抵抗R3とコンデンサC3とが直列接続されてなり、抵抗R3の一端がXOR221の出力に接続され、コンデンサC3の一端が接地され、コンデンサC3と抵抗R3との接続点から積分出力I n tが第1ディレー回路14の誤差増幅器141の非反転端子+に出力される。

- 10 第1ディレー回路14において、誤差増幅器141の反転端子-には基準電源E rが接続され、誤差増幅器141の出力端子は、抵抗R4を介してダイオードD3のアノードに接続される。ダイオードD3のカソードは、抵抗R5の一端及びコンデンサC4の一端に接続され、抵抗R5の他端は電源V c cに接続され、コンデンサC4の他端は接地されている。制御回路11の出力は、バッファ142を介してダイオードD2のカソードに接続され、ダイオードD2のアノードはコンデンサC4の一端に接続される。抵抗R5とコンデンサC4との接続点はローサイドドライバ16を介して主スイッチQ1のゲート及びXOR221の入力端子に接続される。

- 20 第2ディレー回路15において、インバータ12の出力はバッファ151を介してダイオードD4のカソードに接続され、ダイオードD4のアノードはコンデンサC5の一端及び抵抗R6の一端に接続され、抵抗R6の他端は電源V c cに接続され、コンデンサC5の他端は接地されている。抵抗R6とコンデンサC5との接続点はハイサイドドライバ17を介して補助スイッチQ2のゲートに接続される。

次に、このように構成された第2の実施の形態に係る直流変換装置の動作を説明する。

- 25 まず、時刻t1において、制御回路11からのQ1制御信号Q1cがHレベルになると、Q2制御信号Q2cがLレベルになる。このため、Q2ゲート信号Q2gがL

レベルになるため、補助スイッチQ2がオフする。

そして、補助スイッチQ2がオフすると、時刻 t_1 ～時刻 t_2 において、主スイッチQ1の電圧 $Q1v$ が減少していく。このとき、ボトム検出回路13では、D1' R10' C1' P1' Vin' GNDと電流が流れて、トランジスタQ3がオフする。

- 5 このため、トランジスタQ3のコレクタからHレベルのボトム検出信号Btmが理想ゲート信号生成回路21内のインバータ211に出力され、このボトム検出信号Btmは、インバータ211で反転されてLレベルとなり、DFF213のクロック端子CLに入力される。また、DFF213のリセット端子RにはLレベルが入力され、DFF213の端子DにはHレベルが入力される。このため、DFF213の端子Q
- 10 からはLレベルの理想ゲート信号IGsが出力される。

XOR221は、主スイッチQ1に印加されるLレベルのQ1ゲート信号Q1gとDFF213の端子QからのLレベルの理想ゲート信号IGsとの排他的論理和をとり、Lレベルの誤差出力Copを積分回路23の抵抗R3の一端に出力する。

- 次に、コンデンサC1の放電が終了し、時刻 t_2 において、電圧 $Q1v$ が最小値（ボ
- 15 トム）となると、Vin' P1' C1' R10' Q3と電流が流れて、トランジスタQ3がオンする。このため、ボトム検出回路13により電圧 $Q1v$ の最小値（ボトム）が検出される。このとき、トランジスタQ3のコレクタからLレベルのボトム検出信号Btmが理想ゲート信号生成回路21内のインバータ211に出力され、このボトム検出信号Btmは、インバータ211で反転されて、HレベルがDFF213のク
- 20 ロック端子CLに入力される。このため、DFF213の端子QからはHレベルの理想ゲート信号IGsが出力される。

- 従って、時刻 t_2 ～時刻 t_{21} まで、XOR221は、主スイッチQ1に印加されるLレベルのQ1ゲート信号Q1gとDFF213の端子QからのHレベルの理想ゲート信号IGsとの排他的論理和をとり、Hレベルの誤差出力Copを積分回路23
- 25 の抵抗R3の一端に出力する。このため、抵抗R3とコンデンサC3との接続点からの積分出力Intは、高い電圧となって、誤差増幅器141の非反転端子+に入力さ

れるため、誤差増幅器141の出力からの積分出力の値に応じた電圧が得られる。このため、この電圧により、 $R4'$ $D3'$ $C4$ と電流が流れる。即ち、コンデンサ $C4$ には、抵抗 $R5$ からの電流とダイオード $D3$ からの電流との合計電流が流れるので、コンデンサ $C4$ の充電時間が短くなる。

- 5 つまり、積分回路23からの積分出力 I_{nt} の値に応じて、コンデンサ $C4$ の充電時間が短くなることで、 $Q1$ 制御信号 $Q1c$ の立上り時刻から $Q1$ ゲート信号 $Q1g$ の立上り時刻までの遅延時間を短くすることができる。従って、図5のタイミングチャートで既に説明したように、実際の $Q1$ ゲート信号 $Q1g$ の立ち上がり時刻（オン時刻）を遅延制御することにより実際の $Q1$ ゲート信号 $Q1g$ が理想ゲート信号 $I G$
10 s に近づけるようになる。

次に、時刻 $t21$ において、 $Q1$ ゲート信号 $Q1g$ がローサイドドライバ16を介して主スイッチ $Q1$ のゲートに印加されるため、主スイッチ $Q1$ がオンする。即ち、主スイッチ $Q1$ のボトム電圧スイッチ又はゼロボルトスイッチが達成できる。

- 主スイッチ $Q1$ がオンすると、直流電源 V_{in} からトランス T の1次巻線 $P1$ を介して主スイッチ $Q1$ に電流が流れる。このとき、 $S1'$ $D10'$ $L10'$ $C10'$ S
15 1 と電流が流れる。

- 次に、時刻 $t3$ において、 $Q1$ 制御信号 $Q1c$ により、主スイッチ $Q1$ をオフさせると、トランス T の1次巻線 $P1$ と、トランス T の1次2次巻線間のリーケージインダクタンスに蓄えられたエネルギーにより主スイッチ $Q1$ に有する寄生コンデンサ
20 （図示せず）が充電され電圧共振が形成されて、主スイッチ $Q1$ の電圧 $Q1v$ が時刻 $t3$ ～時刻 $t4$ まで上昇する。また、 $L10'$ $C10'$ $D11'$ $L10$ で電流が流れて、負荷 $R30$ に電流を供給する。

- また、Hレベルの $Q2$ 制御信号 $Q2c$ は、バッファ151を介してダイオード $D4$ のカソードに入力されるため、ダイオード $D4$ が逆バイアス状態となる。このため、
25 電源 V_{cc} から抵抗 $R6$ を介してコンデンサ $C5$ に電流が流れて、コンデンサ $C5$ が充電されていく。即ち、 $R6$ と $C5$ との時定数で決定される遅延時間だけ立上り時刻

を遅延させたQ2ゲート信号Q2gが、第2ディレー回路15により生成される。

そして、Q2ゲート信号Q2gは、時刻t4において、ハイサイドドライバ17を介して補助スイッチQ2のゲートに印加されて、補助スイッチQ2をオンさせる。このため、トランスTの1次巻線P1に蓄えられたエネルギーがコンデンサC2に供給され、コンデンサC2が充電されていく。次に、コンデンサC2に蓄えられたエネルギーは、C2'・Q2'・P1'・C2に流れる。

このように、第2の実施の形態に係る直流変換装置においても、第1の実施の形態に係る直流変換装置の効果と同様な効果が得られる。

10 (第3の実施の形態)

図8は第3の実施の形態に係る直流変換装置の回路構成図である。図8に示す第3の実施の形態に係る直流変換装置は、主スイッチをオン/オフさせることにより直流出力を得るもので、図3に示す第1の実施の形態に係る直流変換装置の構成に対して、補助スイッチQ2、インバータ12、第2ディレー回路15及びハイサイドドライバ17、コンデンサC2、ダイオードD11、リアクトルL10を削除したことを特徴とする。また、トランスTの1次巻線P1と2次巻線S1とは逆相に巻回されている。

図8に示すその他の構成は、図3に示す構成部分と同一構成であり、同一部分には同一符号を付して、その説明は省略する。

次に、このように構成された第3の実施の形態に係る直流変換装置の動作を図9に示すタイミングチャートを参照しながら説明する。

図9に示すタイミングチャートからわかるように、概略的には、補助スイッチQ2に関連する部分を除けば、図5に示すタイミングチャートと同様である。

時刻t3において、主スイッチQ1は、Q1制御信号によりオフする。このとき、トランスTの1次巻線P1に誘起された励磁エネルギーにより、主スイッチQ1に有する寄生コンデンサ（図示せず）が充電され電圧共振が形成されて主スイッチQ1の電圧Q1vが時刻t3～時刻t4まで上昇する。

また、 $S1'$ $D10'$ $C10'$ $S1$ で2次側にエネルギーを伝送する。トランスTに誘起されたエネルギーが $S1'$ $D10'$ $C10'$ $S1$ で放出されると(トランスTがリセットされると)、主スイッチQ1の電圧 $Q1v$ が減少していく。

このように、第3の実施の形態に係る直流変換装置においても、第1の実施の形態
5に係る直流変換装置の効果と同様な効果が得られる。

なお、第1乃至第2の実施の形態では、トランスTの1次巻線P1の両端に、補助スイッチQ2とコンデンサC2とからなる直列回路を接続したが、例えば、この直列回路は、主スイッチQ1の両端に接続しても良い。

また、第1乃至第3の実施の形態では、トランスTの1次巻線P1と主スイッチQ
10 1とからなる直列回路に、直流電源 V_{in} を接続したが、例えば、この直列回路に、交流電源の交流電圧を整流して整流電圧を得る整流電圧部を接続しても良い。

また、第1乃至第3の実施の形態では、主スイッチQ1に寄生コンデンサのみを有していたが、主スイッチQ1の両端にさらにコンデンサを接続しても良い。

15 産業上の利用可能性

本発明によれば、ボトム検出回路の誤差や外乱による検出点の乱れによる動作の不安定な点を改善し、安定な動作を得ることができる。また、ボトム検出から主スイッチをオンさせるまでの遅れの影響をなくすることができるので、主スイッチを高速でオンさせる必要がなく、スイッチングノイズを低減できる。

請求の範囲

- 5 1. トランスの1次巻線に直列に接続された主スイッチとトランスの1次巻線の両端又は主スイッチの両端に接続され且つコンデンサ及び補助スイッチからなる直列回路の補助スイッチとを交互にオン／オフさせることによりトランスの2次巻線の電圧を整流平滑して直流出力を得る直流変換装置であって、
- 前記補助スイッチがオフした後に前記主スイッチの最小電圧を検出するボトム検出
- 10 手段と、
- このボトム検出手段の出力に基づき前記主スイッチの最小電圧の時刻で前記主スイッチをオンさせる理想制御信号を生成する制御信号生成手段と、
- この制御信号生成手段で生成された前記理想制御信号と前記主スイッチをオンさせた実際の制御信号との誤差出力を算出する誤差算出手段と、
- 15 この誤差算出手段の誤差出力に基づき前記実際の制御信号による前記主スイッチのオン時刻を遅延制御することにより前記実際の制御信号を前記理想制御信号に近づけるように制御する遅延制御手段と、
- を備えることを特徴とする直流変換装置。
- 20 2. トランスの1次巻線に直列に接続された主スイッチをオン／オフさせることによりトランスの2次巻線の電圧を整流平滑して直流出力を得る直流変換装置であって、
- 前記主スイッチの電圧が減少していくときの前記主スイッチの最小電圧を検出するボトム検出手段と、
- このボトム検出手段の出力に基づき前記主スイッチの最小電圧の時刻で前記主ス
- 25 witchをオンさせる理想制御信号を生成する制御信号生成手段と、
- この制御信号生成手段で生成された前記理想制御信号と前記主スイッチをオンさせ

た実際の制御信号との誤差出力を算出する誤差算出手段と、

この誤差算出手段の誤差出力に基づき前記実際の制御信号による前記主スイッチのオン時刻を遅延制御することにより前記実際の制御信号を前記理想制御信号に近づけるように制御する遅延制御手段と、

5 を備えることを特徴とする直流変換装置。

3. 前記誤差算出手段の誤差出力を積分する積分手段を有し、

前記遅延制御手段は、前記積分手段の積分出力に基づき前記実際の制御信号のオン時刻を遅延制御することにより前記実際の制御信号を前記理想制御信号に近づけるよ

10 うに制御することを特徴とする請求項 1 又は請求項 2 記載の直流変換装置。

4. 前記遅延制御手段は、

抵抗に直列に接続された遅延用コンデンサの充電時間により、制御手段からの前記主スイッチをオンさせる信号を所定時間だけ遅延させる遅延部と、

15 前記積分手段の積分出力と基準電圧との差電圧を前記遅延用コンデンサに印加することにより、前記差電圧に応じて前記所定の遅延時間を短くさせる可変遅延部とを有し、

前記遅延用コンデンサの電圧に基づき前記実際の制御信号を前記主スイッチの制御端子に印加することを特徴とする請求項 3 記載の直流変換装置。

20

5. 前記トランスの 1 次巻線と前記主スイッチとからなる直列回路の両端には、直流電源又は交流電源の交流電圧を整流して整流電圧を得る整流電圧部が接続されていることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項記載の直流変換装置。

FIG. 1
PRIOR ART

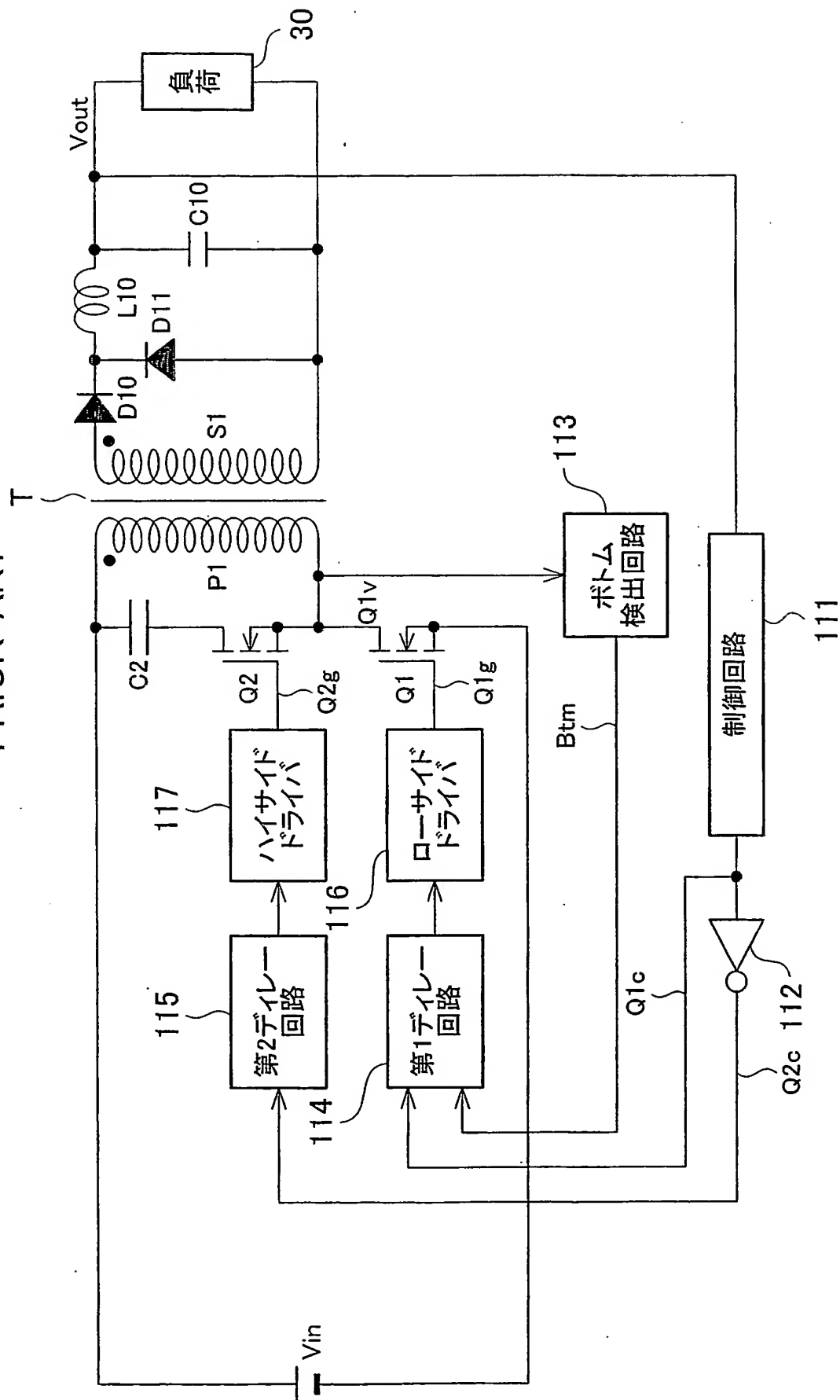
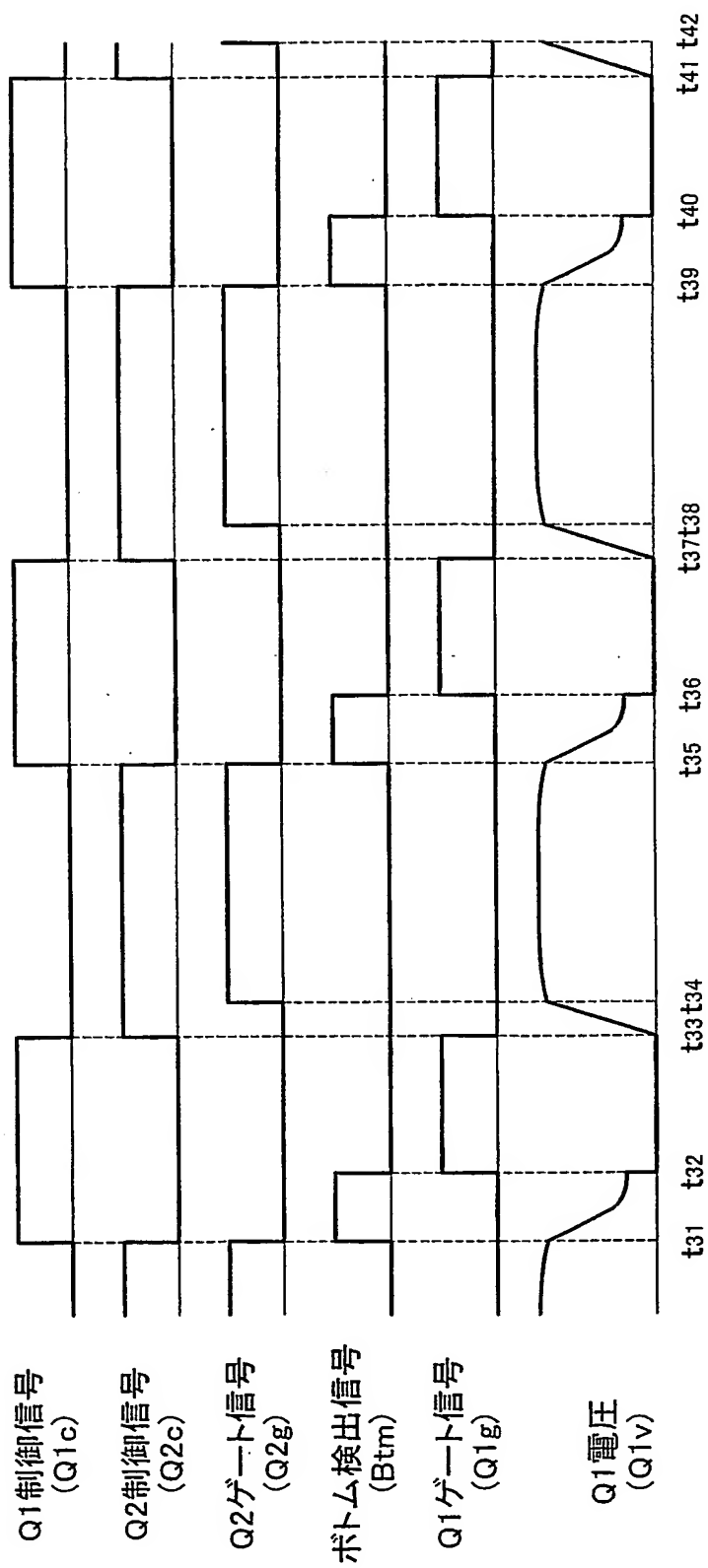


FIG. 2
PRIOR ART



3
G.
F

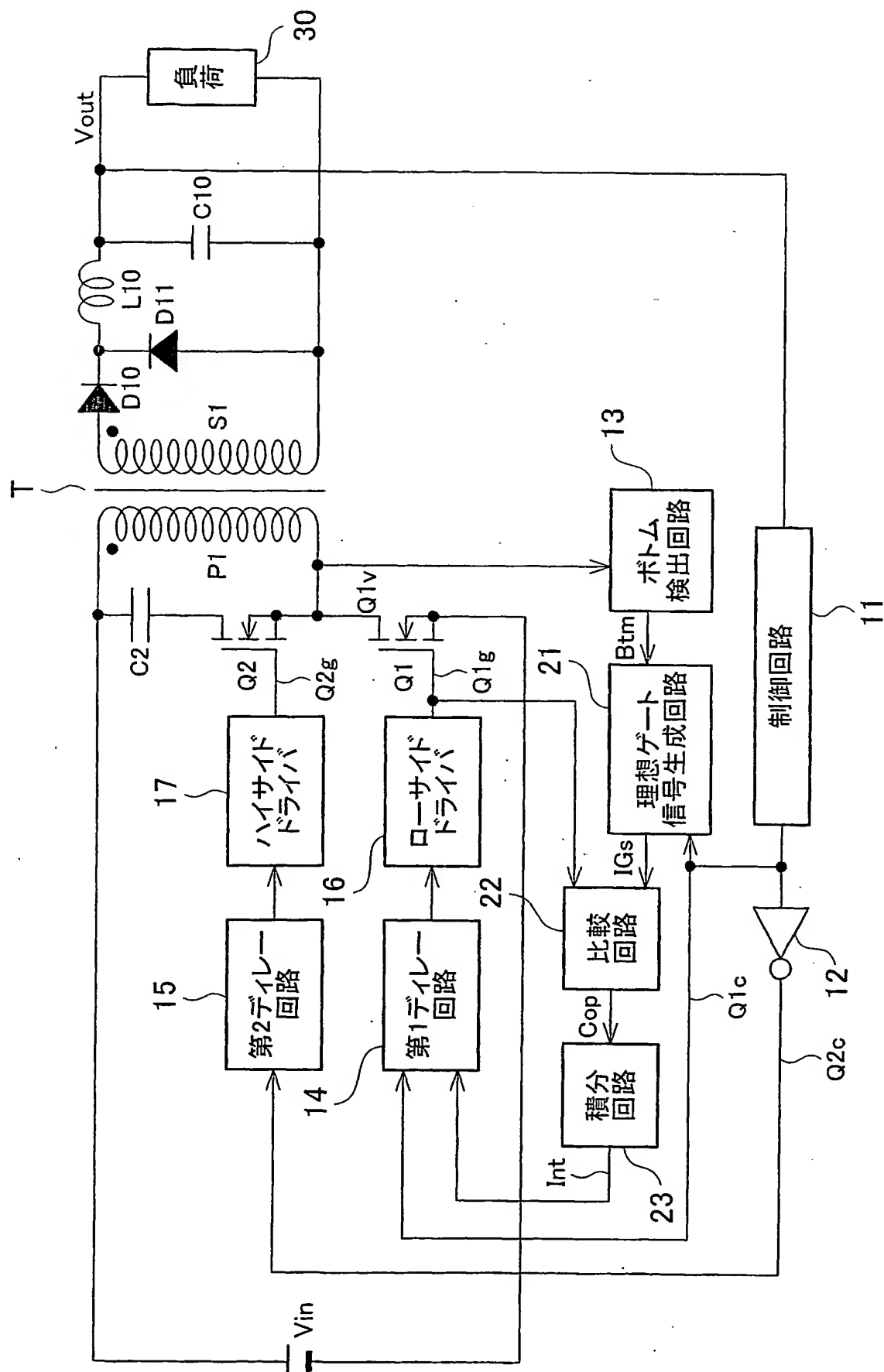


FIG. 4

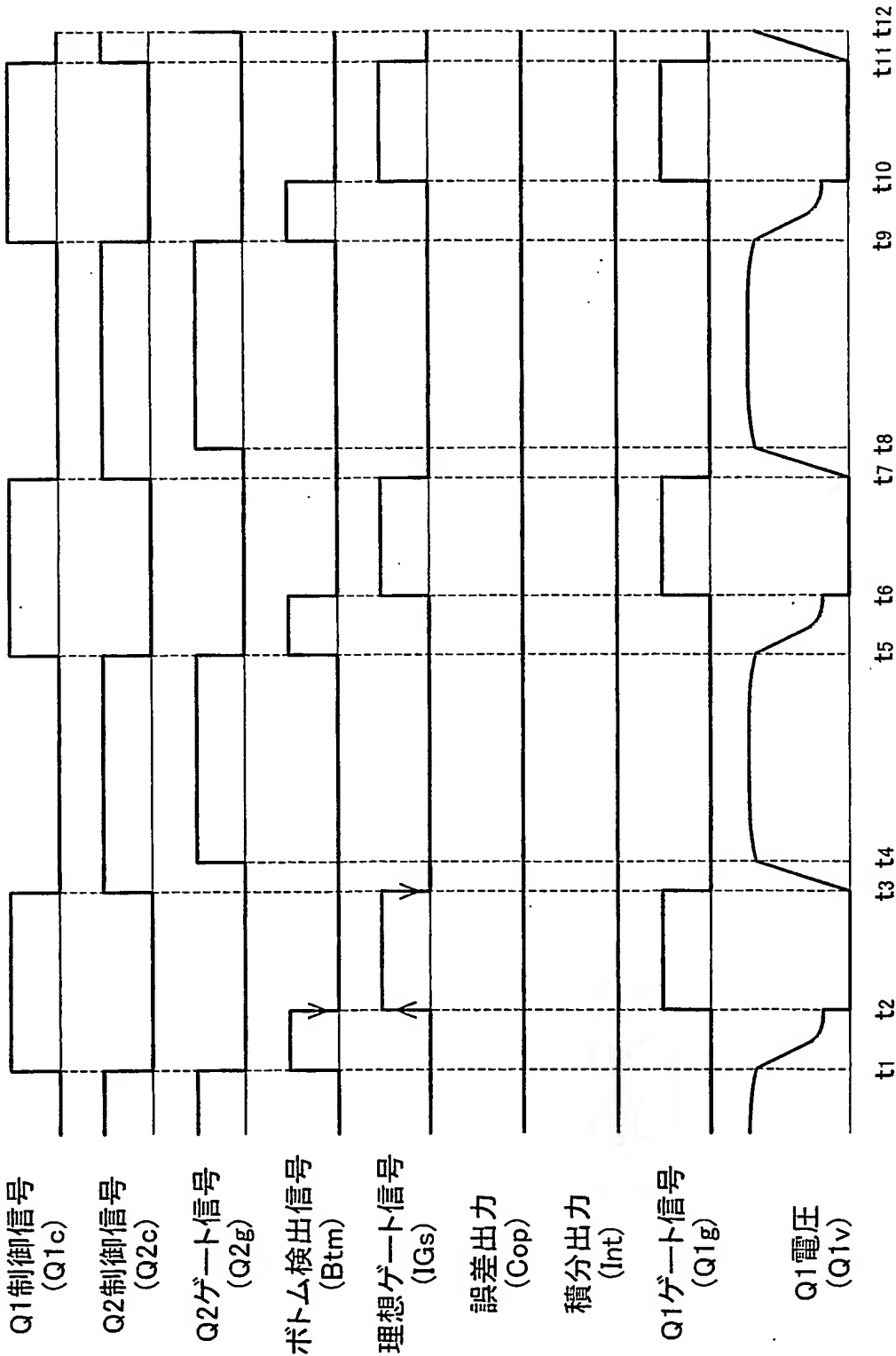


FIG. 5

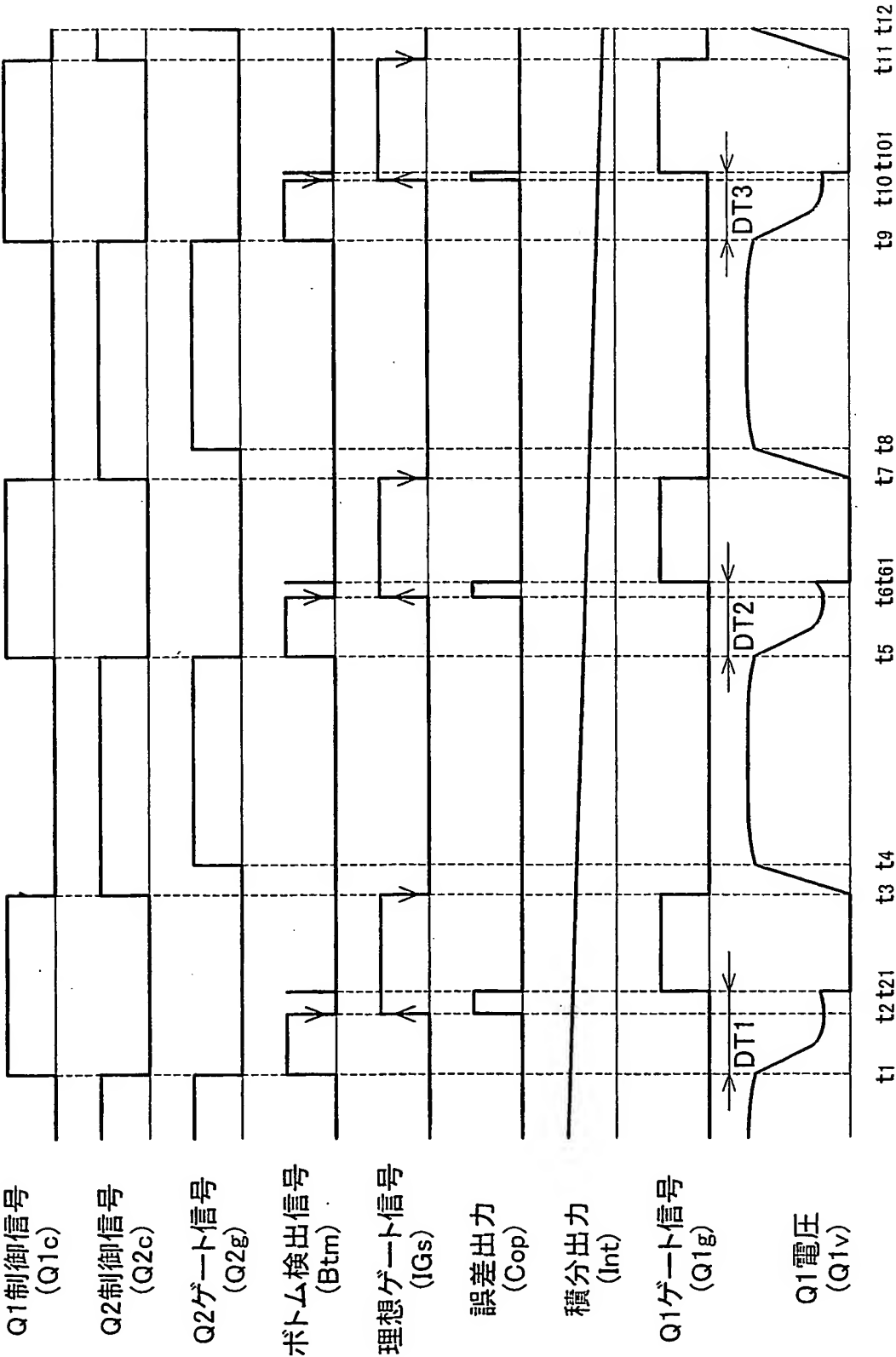


FIG. 6

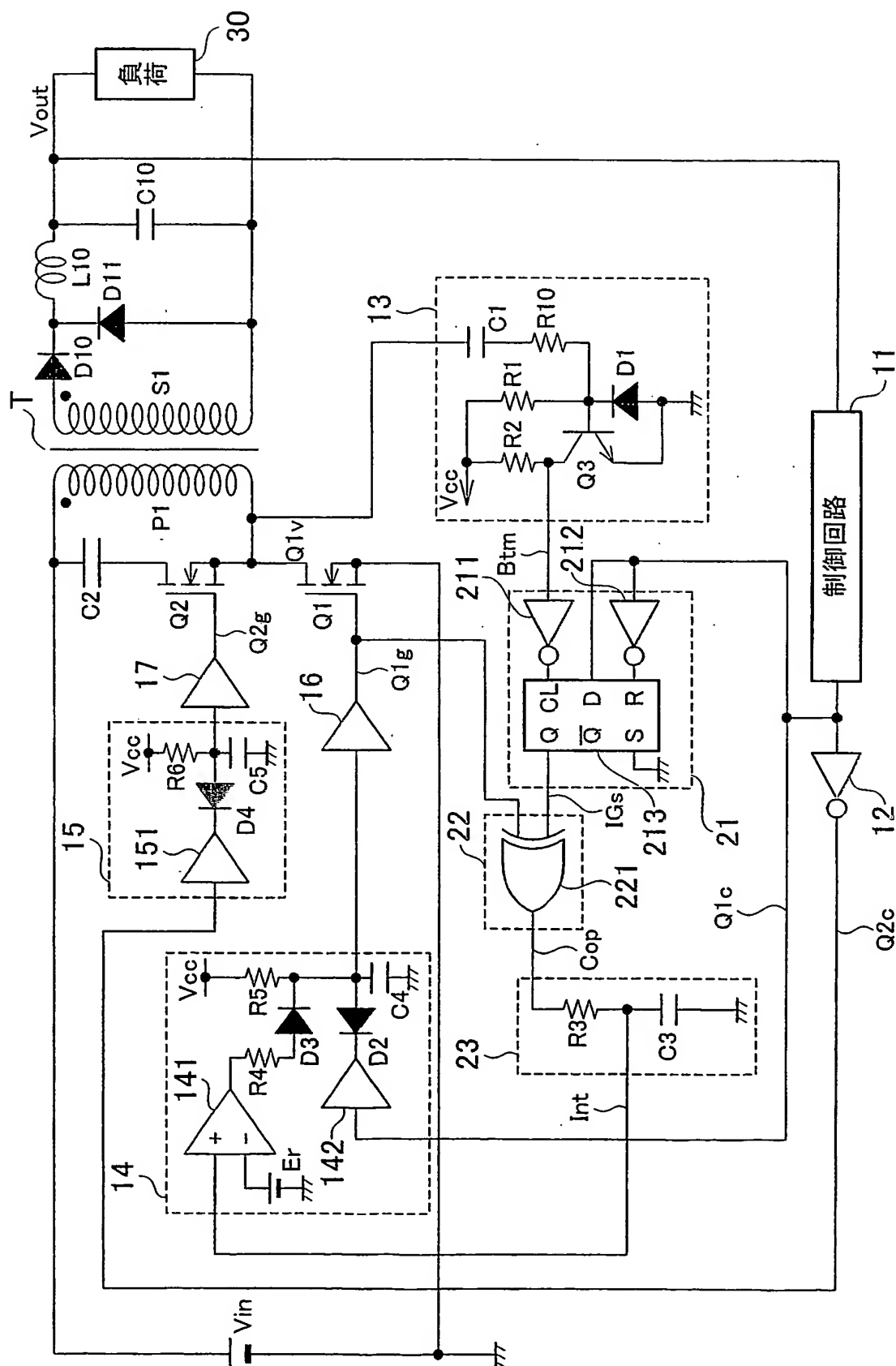


FIG. 7

R	S	D	CL	Q _{n+1}	/Q _{n+1}
L	H	*	*	H	L
H	L	*	*	L	H
H	H	*	*	H	H
L	L	L	↑	L	H
L	L	H	↑	H	L
L	L	*	↓	Q _n	/Q _n

FIG. 8

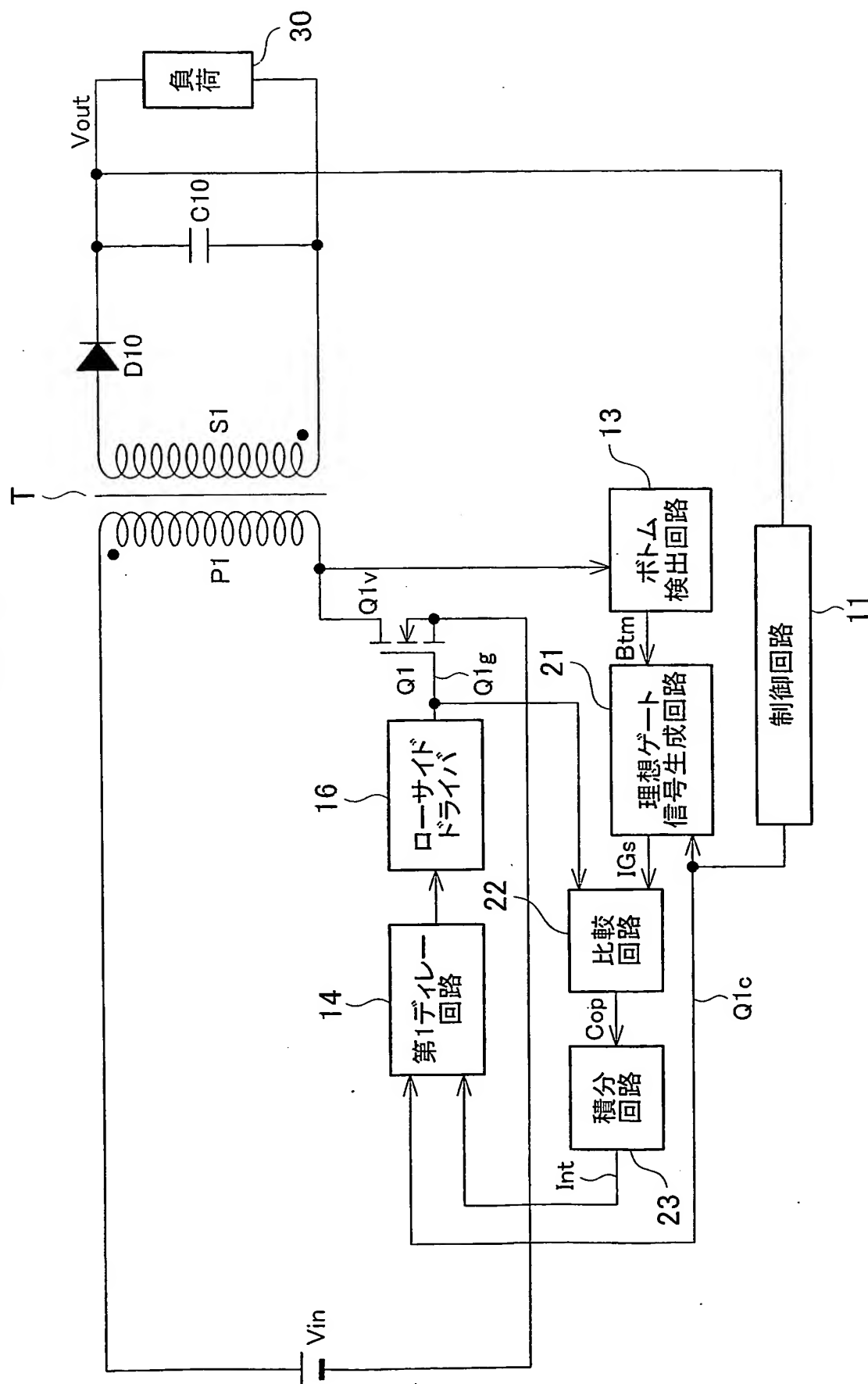
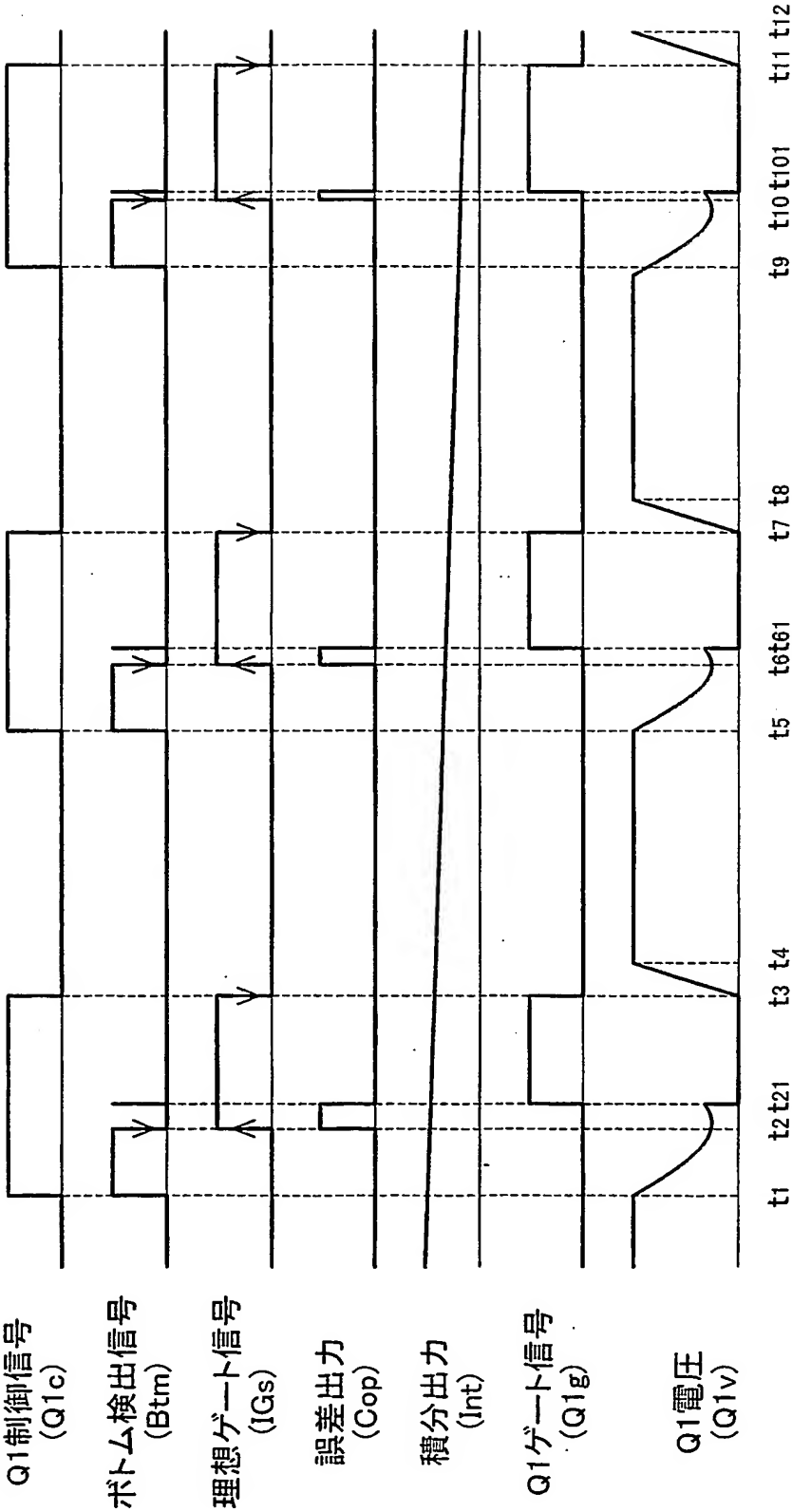


FIG. 9



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28.

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-92829 A (株式会社日立製作所、日立東部セミコンダクタ株式会社) 31.03.2000, 【0034】-【0060】, 図1-4 (ファミリーなし)	1-5
A	JP 2002-199719 A (デンセイ・ラムダ株式会社) 12.07.2002, 全文, 図1-3 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

20.08.2004

国際調査報告の発送日

07.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2002-345240 A (横河電機株式会社) 29. 11. 2002, 全文, 図1-8 (ファミリーなし)	1-5
A	J P 9-182429 A (オリジン電気株式会社) 11. 07. 1997, 全文, 図1-9 (ファミリーなし)	2-5

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.